

(Abstract of Translation)

(19) Korean Patent Office (KR)

(12) Patent Application Laid-Open Publication (A)

Application No.: 1997-0077942

Application Date: December 30, 1997

Publication No.: 1999-0057863

Publication Date: July 15, 1999

Applicant: Kim Young Hwan of Hyundai Electronics Co. Ltd.

[Title of the Invention] SEMICONDUCTOR ELEMENT MANUFACTURING METHOD FOR PREVENTING CRACKS DUE TO STRESS BETWEEN SILICON OXIDE FILM AND SILICON NITRIDE FILM

[Abstract]

The present invention relates to a semiconductor element manufacturing method capable of preventing a stress caused by a difference in thermal expansion coefficient between two materials and preventing defects such as cracks at the bonded interface of a silicon oxide film and a silicon nitride film. Accordingly, the semiconductor element manufacturing method of the present invention includes a step of forming a first silicon oxide film on a substrate having been subjected to a predetermined process; a step of forming a first oxynitride film for buffering a stress on the silicon oxide film; a step of forming a silicon nitride film on the first oxynitride film; a step of forming a second oxynitride film for buffering a stress on the silicon nitride film; and a step of forming a second silicon oxide film on the second oxynitride film. The first and second oxynitride films can be made by either an oxidizing or a nitriding step of plasma processing and deposited also by plasma chemical vapor deposition.

[Brief Description of the Drawings]

[Fig. 1] Fig. 1 is data indicating the occurrence of cracks caused by a stress at an interface between a silicon oxide film and a silicon nitride film.

[Figs. 2a to 2d and 3] Figs. 2a to 2d and 3 are diagrams showing

semiconductor element manufacturing steps according to an embodiment of the present invention.

Description of numerals for principal parts in the drawings

21, 28: interlayer oxide film

22: bit line

23: mask oxide film

24: spacer oxide film

25, 27: oxynitride film

26: silicon nitride film

[Configuration and Operation of the Invention]

(snip)

The first method for forming an oxynitride film (25) for buffering is to nitride the surface of oxide films (21, 23, and 24) exposed on a wafer using N_2/NH_3 plasma. With this process, the surface of the oxide films (21, 23, and 24) having about several tens to several hundreds of angstrom is nitrified. When the nitrifying degree in the depth direction is measured with a measurement device (XPS or AES), the upper side surface has the characteristic of a nitride film, and the content of nitrogen in an oxide film gradually reduces toward the depth direction. In other words, the surface of the oxide film nitrified with N_2/NH_3 plasma processing has thermal expansion coefficient similar to that of a LPCVD nitride film deposited thereon. Therefore, even if it has a barrier silicon nitride film directly deposited thereon, the occurrence of cracks caused by a stress is prevented.

The steps of N_2/NH_3 plasma processing are carried out by general PECVD apparatuses (of a capacitive-coupled type or an inductive-coupled type) or HDP CVD (High Density plasma CVD) apparatuses, and the step processing conditions by the PECVD apparatuses are as follows. In other words, the nitrifying processing is carried out under the conditions where an NH_3 flow rate is between 0 and 3000 sccm, an N_2 flow rate is between 0 and 10000 sccm, an inert-gas flow rate is between 0 and 10000 sccm, a reaction chamber pressure is between 0.01 and 100 Torr,

a high-frequency electricity is between 1 and 3000 W, a substrate temperature is between 100 and 500°C, and a distance between an upper-end electrode and a lower-end electrode is between 100 and 1000 mils. In the processing, N₂, NH₃ or the like is preferably used for a nitrogen source as reaction gas singly or they are used in a mixed state, and according to the circumstances, inert gases such as Ar, Ne, He, or Xe are mixed together. If N₂ is 2000 sccm, NH₃ is 200 sccm, the reaction chamber pressure is 2.0 Torr, RF power (13.56 MHz) is between 200 and 1000 W, the substrate temperature is 480°C, and the distance between both electrodes is 500 mils, the thickness of a thin film (calculated using a nitride film) is uniformly processed at about 30 to 100 angstrom.

[What is claimed is]

[Claim 1]

A semiconductor element manufacturing method is disclosed that includes a step of forming a first silicon oxide film on a substrate having been subjected to a predetermined process; a step of forming a first oxynitride film for buffering a stress on the silicon oxide film; a step of forming a second oxynitride film for buffering a stress on the silicon nitride film; a step of forming a silicon nitride film on the first oxynitride film; and a step of forming a second silicon oxide film on the second oxynitride film. The first and second oxynitride films can be made by either an oxidizing or a nitridig step of plasma processing and deposited also by plasma chemical vapor deposition.

引用例の写 L (19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁸
H01L 21/335

(11) 공개번호 특1999-0057863
(43) 공개일자 1999년07월15일

(21) 출원번호 10-1997-0077942
(22) 출원일자 1997년12월30일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 구자춘
경기도 이천시 부발읍 아미리 산 148-1 현대전자임대아파트 106-102호
(74) 대리인 박해천, 원석희

심사청구 : 없음

(54) 실리콘산화막과 실리콘질화막 간의 스트레스에 의한 균열 방지를 위한 반도체 소자 제조방법

요약

본 발명은 실리콘산화막과 실리콘질화막 간의 접합 계면에서, 두 물질간의 열팽창계수 차이에 의해 발생되는 스트레스를 방지하여, 크랙 등의 결함을 방지할 수 있는 반도체 소자 제조방법을 제공하고자 하는 것으로, 이를 위한 본 발명의 반도체 소자 제조방법은, 소결 공정이 완료된 기판 상에 제1 실리콘산화막을 형성하는 단계; 상기 실리콘산화막 상에 스트레스 완충을 위한 제1 산화질화막을 형성하는 단계; 상기 제1 산화질화막 상에 실리콘질화막을 형성하는 단계; 상기 실리콘질화막 상에 스트레스 완충을 위한 제2 산화질화막을 형성하는 단계; 및 상기 제2 산화질화막 상에 제2 실리콘산화막을 형성하는 단계를 포함하여 이루어진다. 제1 및 제2 산화질화막은 플라즈마 처리에 의한 산화 또는 질화 공정에 의해 이루어질 수 있으며, 플라즈마 화학기상증착법으로도 통착이 가능하다.

대표도

도2d

영세서

도면의 간단한 설명

도 1은 실리콘산화막과 실리콘질화막 간의 계면에서 스트레스에 의한 크랙이 발생됨을 보여주는 데이터.

도 2a 내지 도 2d 및 도 3은 본 발명의 실시시예에 따른 반도체 소자 제조 공정도.

* 도면의 주요부분에 대한 부호의 설명

21, 28 : 용간산화막 22 : 비도 라인
23 : 마스크 산화막 24 : 스페이서 산화막
25, 27 : 산화질화막 26 : 실리콘질화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 실리콘산화막과 실리콘질화막 간의 스트레스를 방지하기 위한 반도체 소자 제조방법에 관한 것이다.

질 일러진 바와 같이, 반도체 소자를 제조함에 있어, 산화막과 질화막이 접합된 상태에서 약 700℃ 이상의 고온 후속 공정을 실시해야 하는 경우가 발생한다. 예를 들어 디램(DRAM) 제조 공정중 캐패시터 스토리지 노드 콘택을 자기정렬콘택(SAC : self-aligned contact) 공정으로 구현할 경우, 하부의 용간산화막과 상부의 용간산화막 간에는 배리어(barrier) 혹은 스페이서(spacer)로서 실리콘산화막과 식각 선택비를 높은 실리콘질화막을 사용하게 된다. 그리고, 이후에 캐패시터 유전체로서, 열산화막 또는 열질화막을 형성하여야 함으로 고온 공정이 수반되게 된다.

그런데, LPCVD 실리콘질화막과 일반적인 실리콘산화막의 열팽창계수는 각각 4×10^{-6} /℃이고, 0.6×10^{-6} /℃으로 약 10배 정도 차이가 나는 등, 실리콘산화막과 실리콘질화막은 큰 열 팽창계수를 갖기 때문에 두 물질이 접합된 경우 그 계면은 심한 스트레스를 받게 된다. 이와 같은 상태에서 800℃ 정도의 고온 공정을

실시하는 경우, 스트레스를 받는 계면에서는 크랙(crack)이 발생되는 문제가 발생된다. 크랙이 발생되면 세정공정, 용착공정 등과 같은 후속 공정을 진행할 수 없다.

도 1은 스트레스에 의해 발생된 크랙('A')을 보여주는 데이터로서, 도 1의 데이터는 질화막과 산화막 간의 평판 크랙 실험한 후, TENCOR 사(社)의 SURFSCAN 8200 장비로 측정된 것이다. 즉, 8인치(1inch) 실리콘기판 위에 4000Å의 BPSG를 증착하고, 이 위에 LPCVD에 의한 질화막 600Å을 증착한 후 N_2 분위기에서 한시간 동안 800°C의 고온 열공정을 진행했을 경우 나타나는 크랙을 보여준다. 도 1에서 웨이퍼 가장자리 부위에 1~2cm 정도의 방사형 검은 줄모양('A')이 크랙이 발생한 지역으로, 상당히 심한 것을 볼 수 있다. 또한 LPCVD 질화막 위에 BPSG를 증착했을 경우, 고온열처리 해도 마찬가지로 스트레스에 의한 크랙 현상을 관찰할 수 있을 것이다.

다시 언급하면, 최근 디자인 룰(design rule)이 작아지면서 콘택의 미스얼라인(mis-align)에 대한 여유도가 작아짐에 따라 자기정렬콘택 공정을 필수적으로 사용해야 하는데, 콘택식각시 질화막을 식각 배리어로 사용하는 경우 질화막이 웨이퍼상 남아 있게 되어 보통 하부 층간산화막 및 상부 층간산화막과 접합하게 되어 있다. 따라서, 산화막과 질화막 간의 접합부에서 발생되는 크랙은 셀(cell) 지역이 아닌 패덤이 없는 넓은 면적에서 심하다. 이러한 크랙 문제를 근본적으로 제거하기 위해서는 배리어용 질화막을 증착 후 셀 지역의 이외의 부분에 존재하는 질화막을 노광공정, 질화막 식각공정 및 세정공정을 거쳐 제거해야 하는데, 추가로 들어가는 마스크 제작 문제와 여러 가지 복잡한 공정을 거침에 따라 동반되는 파티클(particle) 발생 문제, 단차 문제 등, 시간적, 기술적, 경제적 문제 등을 동반하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 실리콘산화막과 실리콘질화막 간의 접합 계면에서, 두 물질간의 열팽창계수 차이에 의해 발생되는 스트레스를 방지하여, 크랙 등의 결함을 방지할 수 있는 반도체 소자 제조방법을 제공함을 그 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 소자 제조방법은, 소정 공정이 완료된 기판 상에 제1 실리콘 산화막을 형성하는 단계: 상기 실리콘산화막 상에 스트레스 완충을 위한 제1 산화질화막을 형성하는 단계: 상기 제1 산화질화막 상에 실리콘질화막을 형성하는 단계: 상기 실리콘질화막 상에 스트레스 완충을 위한 제2 산화질화막을 형성하는 단계: 및 상기 제2 산화질화막 상에 제2 실리콘산화막을 형성하는 단계를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 2a 내지 도 3은 통상의 DRAM 제조 공정에서 캐패시터의 스토리지노드를 자기정렬 콘택함에 있어, 본 발명을 적용한 실시예이다.

먼저, 도 2a는 트랜지스터 구조가 완료된 기판 상에 비드라인 콘택홀이 오픈된 예컨대 BPSG와 같은 층간절연막(21)을 형성하고 비드라인(22)과 마스크 산화막(또는 질화막)(23)을 증착시킨 다음 패터닝한 상태에서 비드라인(22) 측벽에 스페이서 산화막(24)을 형성 상태를 나타낸다. 일반적으로 자기정렬콘택 공정에서는 비드라인(22)과 이후에 형성될 스토리지노드 콘택과의 거리를 두기 위해서 비드라인(22) 상에 산화막 혹은 질화막 등을 얹은 후 비드라인을 패터닝하게 된다.

이어서, 도 2a의 상부에 배리어층으로서 질화막을 형성하여야 되는데, 앞서 설명한 바와 같이 산화막상에 질화막이 바로 접하게 되면, 두 물질의 계면에서 열팽창계수 차이에 의한 스트레스를 유발하게 되므로, 본 실시예에서는 도 2b와 같이 질화막을 증착하기에 앞서 완충용 산화질화막(25)을 형성하였다. 완충용 산화질화막(25)을 형성하는 방법에는 크게 두 가지가 있다.

완충용 산화질화막(25)을 형성하는 첫 번째 방법은 N_2/NH_3 플라스마로 웨이퍼상 노출되어 있는 산화막(21, 23, 24) 표면을 질화시키는 방법이다. 이 처리에 의해 수십~수백Å 정도의 산화막(21, 23, 24) 표면이 질화되며, 측정 장비(XPS 또는 AES)로 깊이 방향의 질화 정도를 측정해보면, 상부 표면에서는 질화막 특성을 가지며 깊이 방향으로 갈수록 산화막 내의 질소의 함량이 점차 감소한다. 즉, N_2/NH_3 플라스마 처리에 의해 질화된 산화막 표면은 상부에 증착될 LPCVD 질화막과 비슷한 열팽창계수를 가지게 되므로, 이 위해 바로 배리어용 실리콘질화막을 증착해도 스트레스에 의한 크랙 발생은 방지된다.

N_2/NH_3 플라스마 처리는 일반적인 PECVD 장치(capacitive-coupled type 또는 inductive-coupled type) 혹은 HDP CVD(High Density plasma CVD) 장비에서 공정을 진행하며, 'capacitive-coupled type' PECVD 장치에서 실시되는 공정 처리 조건은 다음과 같다. 즉, NH_3 유량은 0~3000sccm, N_2 유량은 0~10000sccm, 불활성 기스의 유량은 0~10000sccm, 반응실 압력은 0.01~100 Torr, 고주파 권력은 1~3000W, 기판온도는 100~500°C, 상단전극과 하단전극사이의 거리는 100~1000mm로 하여 질화처리한다. 바람직하게, 반응 기체로는 질소원으로 N_2 , NH_3 등을 단일로 혹은 혼합하며, 경우에 따라 Ar, Ne, He 혹은 Xe 등과 같은 불활성 기체를 혼합하여 처리한다. N_2 가 2000sccm, NH_3 이 200sccm, 반응실 압력이 2.0 Torr, RF 파워(13.56 MHz)가 200~1000W, 기판 온도가 480°C, 양 전극간 거리가 500mm 일 때, 처리된 박막 두께(질화막으로 계산)는 약 30~100Å 정도 균일하게 처리된다. 또한, N_2/NH_3 질화 플라스마 처리 공정 동안 금속성 반응실 내부에서 스퍼터(sputter)되어 나오는 Fe, Cr, Al 등과 같은 금속성 오염물질을 방지하기 위해서, 질화 처리될 웨이퍼가 들어가기 전 미리 반응실 내부를 두께 100~5000Å 정도의 질화막, 산화막 혹은 산화질화막으로 프리-코팅(pre-coating)한다.

완충용 산화질화막(25)을 형성하는 두 번째 방법은 산화막(21, 23, 24) 상에 PECVD 방법으로 실리콘 산화질화막을 수십~수백 Å 정도 증착하는 것이다. 'capacitive-coupled type' PECVD 법으로 산화질화막을 증착하는 방법은, 반응 기체로 SiH_4 와 N_2O , NH_3 , N_2 중 어느 하나 또는 혼합기체를 사용하며, 경우에 따라 0~

10000sccm의 불활성 가스를 사용한다. SiH_4 유량은 1~1000sccm, N_2O 유량은 0~10000sccm, NH_3 유량은 0~3000sccm, N_2 유량은 0~10000sccm, 반응실 압력은 0.01~100Torr, 고주파 전력은 10~3000W, 기판 온도는 100~500°C, 그리고 상단전극과 하단전극사이의 거리는 100~1000mm의 조건으로 진행한다. 실리콘 산화질화막은 막 내에 산화막 성질을 갖는 Si-O 결합과 질화막 성질을 갖는 Si-N 결합이 균일하게 분포하는데, 이러한 산화막과 질화막 양 성질을 동시에 갖고 있기 때문에, 열팽창계수 측면에서 보면 산화막과 질화막의 중간 값을 갖게 되어 산화막과 질화막 사이의 스트레스 완충용으로 사용될 수 있다. 또한, 도 3과 같이, 증착 조건에 따라 실리콘 산화질화막(25)의 조성비가 바뀌므로 필요한 완충막으로서의 산화질화막 두께를 2~5 개 층으로 나누어 형성할 수 있는데, 이때, 도 3과 같이 산화막(21, 23, 24) 바로 위의 최하단 산화질화막(25a)은 산화막 조성비가 높은 산화질화막을 증착하고, 질화막이 증착될 최상단 산화질화막(25b)에는 질화막 조성비가 높은 산화질화막을 증착하여, 완충 효과를 극대화 할 수 있다.

이상에서 설명한 바와 같이, 완충용 산화질화막(25)의 형성을 완료한 다음, 도 2c에 도시된 바와 같이, LPCVD 방법으로 배리어층 질화막(26)을 수백~수천 Å 증착한다.

이후 다시 비트라인과 캐패시터를 절연하기 위해서 BPSG 등과 같은 용간산화막을 증착해야 되는데, 이때 역시 질화막(26)과 용간산화막 간의 계면에서 스트레스에 의한 크랙이 발생되므로, 이 용간 산화막 증착 전에 도 2d와 같이 질화막(26) 상에 완충용 산화질화막(27)을 형성하고, 용간산화막(28)을 형성한다. 질화막(26) 상에 완충용 산화질화막(27)을 형성하는 방법 역시 크게 두 가지가 있다.

산화막(26) 상에 완충용 질화산화막(27)을 형성하는 첫 번째 방법은 $\text{N}_2\text{O}/\text{O}_2$ 플리즈마 처리를 수행하여 질화막(26) 표면 수십~수백 Å 정도를 산화시키는 것이다. 이는 산화막을 질화시키는 공정은 반대로 질화막을 산화시키는 공정이므로, 반응 기체를 N_2O 또는 O_2 등을 이용하는 것을 제외하고 나머지 처리 조건은 앞서 설명한 산화막을 질화시키는 조건과 유사하다.

질화막(26) 상에 완충용 질화산화막(27)을 형성하는 두 번째 방법은 앞서 언급한 동일한 PECVD 방법으로 실리콘 산화질화막을 수백 Å 정도 증착하는 것이다. 이때, 완충용 산화질화막의 깊이 방향 조성비는 최하단인 질화막 성분이 높게, 최상층이 산화막 성분이 높게 형성하여야 한다.

이후에, 스토리지노드 콘택을 형성 및 스토리지노드를 전도막층과 통의 공정을 거치면 최종적으로 자기절연 콘택된 스토리지노드를 얻을 수 있다. 그리고, 계속해서, 유전체로서 절산화막 또는 절질화막을 750°C 이상 고온 열공정으로 형성하더라도, 완충용 산화질화막(25, 27)에 의해서 산화막과 질화막 간의 계면에서는 크랙이 발생되지 않는다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

본 발명은 실리콘산화막과 실리콘질화막 간의 열팽창계수가 차이에서 발생하는 두 물질 계면에서의 스트레스를 완충시켜, 후속 고온 열공정을 제막 없이 진행할 수 있고, 종래와 같이 부수적인 공정이 없어 공정의 간소화를 가져오는 효과가 있다.

(57) 청구의 범위

청구항 1

소정 공정이 완료된 기판 상에 제1 실리콘산화막을 형성하는 단계;

상기 실리콘산화막 상에 스트레스 완충용 위한 제1 산화질화막을 형성하는 단계;

상기 제1 산화질화막 상에 실리콘질화막을 형성하는 단계;

상기 실리콘질화막 상에 스트레스 완충용 위한 제2 산화질화막을 형성하는 단계; 및

상기 제2 산화질화막 상에 제2 실리콘산화막을 형성하는 단계를 포함하여 이루어진 반도체 소자 제조방법.

청구항 2

제1항에 있어서,

상기 제1 산화질화막은 질소 원자를 포함하는 가스의 플리즈마 분위기에서 상기 제1 실리콘산화막의 표면을 질화시켜 형성하는 반도체 소자 제조방법.

청구항 3

제2항에 있어서,

상기 질소 원자를 포함하는 가스는 N_2 및 NH_3 중 어느하나 이거나 이 둘의 조합으로 이루어진 혼합가스인 반도체 소자 제조방법.

청구항 4

제2항에 있어서,

상기 제1 실리콘산화막의 질화는,

캐패시티브-커플드 플리즈마 장비에서, NH_3 유량은 1~3000sccm, N_2 유량은 1~10000sccm, 반응실 압력은

0.01~100 Torr, 고주파 전력은 1~3000W, 기판온도는 100~500℃, 그리고 상단전극과 하단전극사이의 거리는 100~1000mm의 조건으로 진행되는 반도체 소자 제조방법.

청구항 5

제2항에 있어서,

상기 제1 실리콘산화막의 질화시, 분위기 가스로서 불활성 가스를 더 포함하며, 유량은 1~10000sccm으로 하는 반도체 소자 제조방법.

청구항 6

제2항에 있어서,

상기 제1 실리콘산화막의 질화시,

플라즈마 처리될 웨이퍼가 로딩되기 전에 미리 반응실 내부를 두께 100~5000 Å 정도의 질화막, 산화막 혹은 산화질화막으로 프리코팅하는 반도체 소자 제조방법.

청구항 7

제1항에 있어서,

상기 제1 및 제2 산화질화막은 플라즈마 화학기상증착법에 의해 증착하여 형성하는 반도체 소자 제조방법.

청구항 8

제7항에 있어서,

상기 제1 및 제2 산화질화막의 증착은 반응 기체로 SiO₂와 N₂O, NH₃, N₂중 어느 하나 또는 이들의 혼합가스 분위기에서 이루어지는 반도체 소자 제조방법.

청구항 9

제7항에 있어서,

상기 제1 및 제2 산화질화막의 증착은,

캐패시티브-커플드 플라즈마 장비에서, SiH₄ 유량은 1~1000sccm, N₂O 유량은 0~10000sccm, NH₃ 유량은 0~3000sccm, N₂ 유량은 0~10000sccm, 반응실 압력은 0.01~100Torr, 고주파 전력은 10~3000W, 기판 온도는 100~500℃, 그리고 상단전극과 하단전극사이의 거리는 100~1000mm의 조건으로 진행되는 반도체 소자 제조방법.

청구항 10

제7항에 있어서,

상기 제1 및 제2 산화질화막의 증착시 분위기 가스로서 불활성 가스를 더 포함하며, 유량은 1~10000sccm으로 하는 반도체 소자 제조방법.

청구항 11

제7항에 있어서,

상기 제1 산화질화막은 상부로 갈수록 질소 조성비를 크게 형성하는 반도체 소자 제조방법.

청구항 12

제7항에 있어서,

상기 제2 산화질화막은 상부로 갈수록 산소 조성비를 크게 형성하는 반도체 소자 제조방법.

청구항 13

제1항에 있어서,

상기 제2 산화질화막은 산소 원자를 포함하는 가스의 플라즈마 분위기에서 상기 실리콘산화막의 표면을 산화시켜 형성하는 반도체 소자 제조방법.

청구항 14

제13항에 있어서,

상기 산소 원자를 포함하는 가스는 O₂ 및 N₂O 중 어느하나 이거나 이 둘의 조합으로 이루어진 혼합가스인 반도체 소자 제조방법.

청구항 15

제13항에 있어서,

상기 실리콘산화막의 산화는,

캐패시티브-커플드 플라즈마 장비에서, O₂ 유량은 1~3000sccm, N₂O 유량은 1~10000sccm, 반응실 압력은

0.01~100 Torr, 고주파 전력은 10~3000W, 가판온도는 100~500℃, 그리고 상단전극과 하단전극사이의 거리는 100~1000mm의 조건으로 진행되는 반도체 소자 제조방법.

청구항 16

제13항에 있어서,

상기 실리콘질화막의 산화시, 분위기 가스로서 불활성 가스를 더 포함하며, 유량은 1~10000ccm으로 하는 반도체 소자 제조방법.

청구항 17

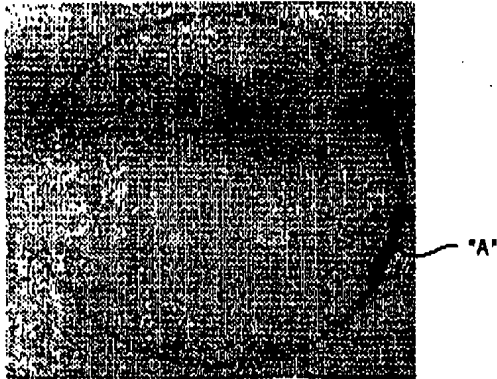
제13항에 있어서,

상기 실리콘질화막의 산화시,

플라즈마 처리물 웨이퍼가 로딩되기 전에 미리 반응실 내부를 두께 100~5000Å 정도의 질화막, 산화막 혹은 산화질화막으로 프리코팅하는 반도체 소자 제조방법.

도면

도면1



도면2a

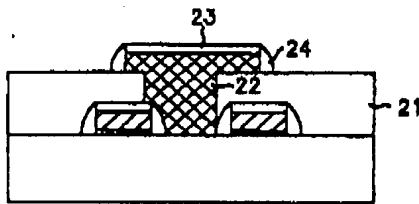


図22b

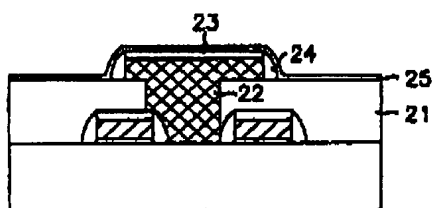


図22c

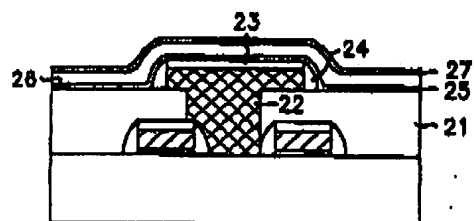


図22d

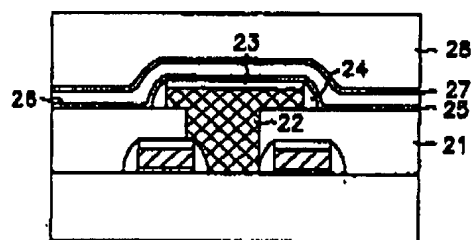


図22e

